

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009955371 **Image available**

WPI Acc No: 1994-223084/199427

XRPX Acc No: N94-175710

**Liquid crystal display device mfg. method - forming signal wiring to
connect source electrode of transistor and pixel electrode in shape of
matrix with thin film transistor acting as switching element using
simpler mfg. process** NoAbstract

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6160904	A	19940607	JP 92316825	A	19921126	199427 B

Priority Applications (No Type Date): JP 92316825 A 19921126

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6160904	A	5	G02F-001/136	

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; MANUFACTURE; METHOD;
FORMING

; SIGNAL; WIRE; CONNECT; SOURCE; ELECTRODE; TRANSISTOR; PIXEL;
ELECTRODE;

SHAPE; MATRIX; THIN; FILM; TRANSISTOR; ACT; SWITCH; ELEMENT; SIMPLE;
MANUFACTURE; PROCESS; NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-029/784

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04517004 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

PUB. NO.: **06-160904** [JP 6160904 A]
PUBLISHED: June 07, 1994 (19940607)
INVENTOR(s): MIYAMA HIROSHI
 KUMAGAI TAKUYA
 SEKADO YASUTO
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
 or Corporation), JP (Japan)
APPL. NO.: 04-316825 [JP 92316825]
FILED: November 26, 1992 (19921126)
INTL CLASS: [5] G02F-001/136; G02F-001/1343; H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass
 Conductors)
JOURNAL: Section: P, Section No. 1797, Vol. 18, No. 481, Pg. 63,
 September 07, 1994 (19940907)

ABSTRACT

PURPOSE: To provide the liquid crystal display device which decreases the man- hours for production, lowers the disconnection defects generation rate of respective wirings and to lower the resistance of respective wirings relating to the structure of the active matrix type liquid crystal display device constituted by using thin-film transistors (TFTs) switching elements and the process for production of such structure.

CONSTITUTION: Scanning lines for driving TFTs and signal wirings are constituted by simultaneously forming the first signal wirings 17 (b) which are a part of the signal wirings at the time of forming the first scanning wirings 17 (a), further, forming the second scanning wirings 16 (b) which are a part of the scanning wirings at the time of forming the second signal wirings 16 (a) and bringing the respective wirings into electrical contact partially with each other via aperture contact parts 18, 19. As a result, the number of patterning times is decreased and since the respective wirings can be made into redundancy constitution, there are the effect of decreasing man-hours for production, drastically lessening the disconnection defect generation rate of the respective wirings and preventing the delaying of the signals by the lowered resistance of the respective wirings.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-160904

(43) 公開日 平成6年(1994)6月7日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9018-2K
1/1343		9018-2K
H01L 29/784		
	9056-4M	H01L 29/78
		311 A

審査請求 未請求 請求項の数 3 (全5頁)

(21) 出願番号 特願平4-316825

(22) 出願日 平成4年(1992)11月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 深山 博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 熊谷 卓也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 瀬角 康人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛治 明 (外2名)

(54) 【発明の名称】 液晶表示装置とその製造方法

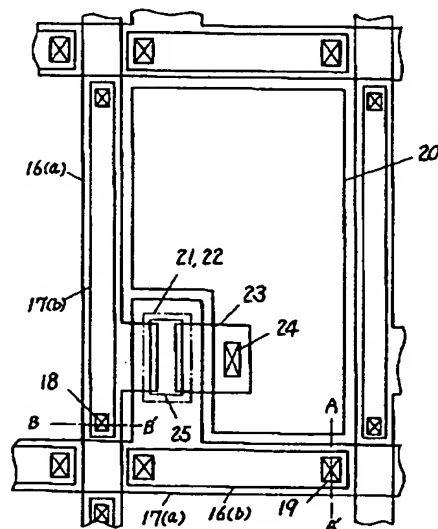
(57) 【要約】

【目的】 本発明は薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置の構造及び製造方法に関するもので、製造工数を削減し、各配線の断線欠陥発生率を低減すると同時に、各配線の低抵抗化を図った液晶表示装置を提供することを目的とする。

【構成】 薄膜トランジスタを駆動する走査配線、並びに信号配線は、第1の走査配線17(a)を作成する際に信号配線の一部となる第1の信号配線17(b)を同時に作成し、更に第2の信号配線16(a)を作成する際に走査配線の一部となる第2の走査配線16(b)を作成し、それぞれの配線を開口コンタクト部18、19を介して電氣的に一部接触させることにより、パタニング回数の削減と同時に冗長構成を図ったものである。

【効果】 パタニング回数を削減して、しかも各配線は冗長構成とすることが可能であることから製造工数の削減、各配線の断線欠陥発生率の大幅な低下、並びに各配線の低抵抗化により信号の遅延防止に効果がある。

16(a) 第2の信号配線	21 第1の非晶質シリコン層
16(b) 第2の走査配線	22 第2の絶縁層
17(a) 第1の走査配線	23 ドレイン配線
17(b) 第1の信号配線	25 第2の非晶質シリコン層
18, 19 24 開口コンタクト部	
20 画素電極	



【特許請求の範囲】

【請求項 1】 一対の基板上に液晶が封入され、前記基板の一方の基板上にマトリクス状に配列された画素電極と、前記画素電極に近接して接続されてなる薄膜トランジスタと、前記薄膜トランジスタのソース電極に接続されてなる信号配線と、前記薄膜トランジスタのゲート電極に接続されてなる走査配線を有し、前記信号配線、あるいは前記走査配線の少なくとも一方が、第 1、第 2 の 2 層の配線から構成され、この第 1、第 2 の配線の間に開口部を有する絶縁層が設けられ、この開口部を介して前記第 1、第 2 の 2 層の配線が電氣的に接触を保って配置されている液晶表示装置。

【請求項 2】 走査配線あるいは信号配線を構成する第 1、第 2 の配線は、そのいずれか一方が前記走査配線と前記信号配線の交差部を除いて設けられている請求項 1 記載の液晶表示装置。

【請求項 3】 第 1 の走査配線を形成する際に第 1 の信号配線を同時に形成し、第 2 の信号配線を形成する際に第 2 の走査配線を同時に形成することを特徴とする請求項 1 あるいは 2 いずれか記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置、とりわけ薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置とその製造方法に関するものである。

【0002】

【従来の技術】 近年、微細加工技術と液晶材料の進歩により、液晶パネルを用いたテレビ画像表示装置が商用ベースで提供されている。また、その方式としては画素毎にスイッチング素子を内蔵させた、いわゆるアクティブマトリクス方式が高コントラスト、高解像度等の利点から主流になりつつある。

【0003】 図 4 はアクティブマトリクス型の液晶パネルの等価回路で、走査線群 1 と信号線群 2 との交差点毎に、例えば電界効果型の薄膜トランジスタ（以下電界効果型トランジスタと呼ぶ）のスイッチング素子 3 と、液晶セル 4 が配置される。5 は全ての液晶セル 4 に共通した透明導電層よりなる対向電極である。

【0004】 図 5 は一般的なアクティブマトリクス方式の単位画素の平面配置図であり同図 A-A' 線上の断面図を図 6 に示す。以下図を参照しながら従来の液晶パネルについて説明する。

【0005】 透明の絶縁性基板 1 4、例えばガラス基板の一主面上に画素電極 6 を透明導電層例えば ITO を用い選択的に形成する。そして、走査線（走査電極）と電界効果型トランジスタのゲート兼ねる導電層 7 を第 1 の導電層 7 (a)、例えば Cr 薄膜と、第 2 の導電層 7 (b)、例えば MoSi₃ 薄膜との連続的な積層によ

て選択的に被着形成する。つぎに例えば S i₃ N₄ よりなる第 1 の絶縁層 1 5、不純物をほとんど含まない第 1 の非晶質シリコン層 1 1、そして第 2 の絶縁層 1 3 を例えば S i₃ N₄ により好ましくは連続的に被着する。その後、第 2 の絶縁層 1 3 をソース・ドレイン配線形成時のエッチングストップとして電界効果型トランジスタのチャネル部に島状にパタニングする。次に第 1 の非晶質シリコン層 1 1 とソース・ドレイン配線 8、9 との間のオーミック性を改善する目的で例えば燐を含んだ第 2 の非晶質シリコン層 1 2 を被着後、第 1 の非晶質シリコン層 1 1 と同時に電界効果型トランジスタのチャネル部に島状にパタニングする。最後に信号線（信号電極）8 及びドレイン配線 9 を例えば

【0006】

【外 1】

A 2

【0007】 で選択的に被着形成することにより、液晶表示装置が完成する。

【0008】

【発明が解決しようとする課題】 液晶パネルのさらなる高密度化及び大画面化を達成するためにも画像表示上の無欠陥化が切望されている。しかしながら上記の様な構成では、構造及び製造プロセスが複雑であるため、この無欠陥化の実現は非常に困難であるという問題を有している。この無欠陥化を困難にしている原因の一つに、信号配線、並びに走査配線の欠陥（断線）がある。実際に断線を防ぐ方法として、各配線を 2 層構造として各層で発生する断線欠陥をそれぞれの層が補う構造がとられている。しかしこの構造では、各配線が 2 層構造となるため配線を形成する際、各配線用のパターンを 2 回形成することが必要であり、そのため配線用導電層の形成からフォトリソエッチング工程が本来必要な数の 2 倍に工数が増加し、低コスト化に大きな課題を有している。また、画面サイズの大型化に伴い信号配線、並びに走査配線の抵抗値増大の課題もある。特に走査配線の抵抗増大は信号の遅延となり、画像上信号配線方向の輝度傾斜等の原因となり大きな課題である。

【0009】 本発明は上記課題に鑑み、信号配線、並びに走査配線の断線欠陥発生を工数を増加させることなく防止し、更に前記両配線の低抵抗化を図る構造を有する液晶表示装置を提供するものである。

【0010】

【課題を解決するための手段】 本発明はかかる点に鑑み、走査配線を形成する際、第 1 の走査配線と同時に第 1 の信号配線の一部を同時に形成し、絶縁層を介して信号配線を形成する際、第 2 の信号配線と第 2 の走査配線を同時に形成する。この時絶縁層の一部に予め形成しておいた開口部を通じて第 1 の走査配線と第 2 の走査配線を、更に第 1 の信号配線と第 2 の信号配線をそれぞれ電氣的に接続することにより走査配線、信号配線を形成

する。

【 0 0 1 1 】

【作用】本発明は上記した構成により、走査配線、信号配線と同一層の導電層を用いて、それぞれを複数層に構成することが可能となるため、例えば一方の導電層に断線が発生しても他の導電層によってその欠陥を補うことが可能となる。特に走査配線、信号配線のそれぞれの層を形成するだけで、各配線は一部を除いて2層構成となり、高品質を維持しつつ製作工数の削減が可能となる。また、走査配線、並びに信号配線を複数層の導電層によって構成することから、それぞれの配線を低抵抗化することができ、例えば走査配線においては印加された走査信号の遅延による走査配線方向の輝度傾斜といった画像不良を対策し、正常な画像を提供するに十分なゲート配線の低抵抗化も達成できるものである。

【 0 0 1 2 】

【実施例】図1は、本発明の一実施例によるアクティブマトリクス型の液晶表示装置の単位画素の平面配置図であり、同図のA-A'線上の断面図を図2に、B-B'線上の断面図を図3にそれぞれ示す。

【 0 0 1 3 】まず、図1に示すように、ガラス基板上に透明電極からなる画素電極20をパターン形成し、この画素電極20とは電氣的に分離して、第1の走査配線17(a)と信号配線の一部となる第1の信号配線17

(b)を、さらに第1の走査配線17(a)と電氣的に分離して、同一層からなる導電層(例えばCr、(外1)等)を用いてフォトリソ法によりパタニングする。次に第1の走査配線17(a)と第1の信号配線17(b)上には、図2および図3に示すように、この後形成する第2の信号配線16(a)、第2の走査配線16(b)との絶縁を保つための第1の絶縁層26(例えばSi₃N₄)が少なくとも第1の走査配線17

(a)、並びに第1の信号配線17(b)上に形成される。また、電界効果型トランジスタ部には、第1の絶縁層26上に不純物をほとんど含まない第1の非晶質シリコン層21、第2の絶縁層22を連続的に被着し、その後、第2の絶縁層22を、この後形成する第2の信号配線16(a)、第2の走査配線16(b)、並びにドレイン配線23の形成時のエッチングストップとして電界トランジスタのチャネル部に島状にパタニングする。次に第1の非晶質シリコン層21と第2の信号配線16

(a)、並びにドレイン配線23との間のオーミック性を改善する目的で、例えば燐を含んだ第2の非晶質シリコン層25を被着後、第1の非晶質シリコン層21と同様に電界効果型トランジスタのチャネル部に島状にパタニングする。次に、この後形成する第2の信号配線16(a)、第2の走査配線16(b)、並びにドレイン配線23とそれぞれの配線、並びに電極と電氣的に導通をとるための開口コンタクト部18、19、24がそれぞれ設けられる。次に各開口コンタクト部が設けられた基板

上に導電層を形成し、この導電層をパタニングすることにより、第2の信号配線16(a)、前記第2の信号配線とは電氣的に分離した第2の走査配線16(b)、並びにドレイン配線23を形成する。

【 0 0 1 4 】この状態において、第1の走査配線17

(a)と第2の走査配線16(b)が第2の走査配線16(b)の両端部に設けられた開口コンタクト部19によって電氣的に導通が得られ(図2参照)、また、同様に第1の信号配線17(b)と第2の信号配線16

(a)が開口コンタクト部18によって電氣的な導通が得られる(図3参照)。また、ドレイン配線23は画素電極20と開口コンタクト部24によって電氣的な導通が得られる。ここで、第1の走査配線17(a)と第2の信号配線16(a)を各画素ごとに1本の連続した配線として形成することにより各画素に信号を供給することができる。

【 0 0 1 5 】以上の様に、本実施例はアクティブマトリクス型の液晶表示装置において、第1の走査配線を形成する際に信号配線の一部となる第1の信号配線を、また、第2の信号配線を形成する際に第2の走査配線の一部を形成し、それぞれ第1の配線と第2の配線は両者の間に設けられた層の一部に開口部を設け、電氣的に接触を図るようにしたものである。この構造により走査配線と信号配線の2層で両者を冗長構成にすることが可能となり、各配線の断線欠陥の大幅な減少が可能である。また、それぞれの配線が2層構造となることから各配線の低抵抗化も可能となる。

【 0 0 1 6 】

【発明の効果】以上説明したように本発明によれば、走査配線と信号配線は、それぞれ1回のパタニングによって両配線を冗長構成とすることが可能となり、パタニング回数の削減を図って、しかも冗長構成となることから、例えば一方の配線に断線が発生しても他の一方の配線がこれをカバーすることが可能となり、工数削減と同時に製造歩留まりを飛躍的に改善できる。また、各配線は2層構造となることから各配線抵抗を低くすることが可能となり、低抵抗化によって各信号の遅延課題に対しても効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる液晶表示装置の要部平面図

【図2】同装置の要部断面図

【図3】同装置の要部断面図

【図4】一般的アクティブマトリクス型液晶パネルの等価回路図

【図5】従来例の液晶表示装置の要部拡大図

【図6】同装置の要部断面図

【符号の説明】

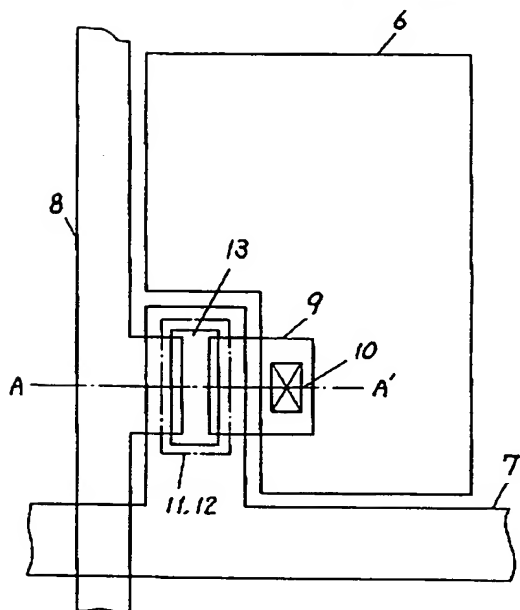
16(a) 第2の信号配線

16(b) 第2の走査配線



【図5】

- 6 画素電極
- 7 走査電極(導電層)
- 8 信号電極
- 9 ドレイン配線
- 10 開口コンタクト部
- 11, 12 第1, 第2の非晶質シリコン層
- 13 第2の絶縁層



【図6】

- 7(a), 7(b) 導電層(走査電極)
- 14 絶縁性基板
- 15 第1の絶縁層

